Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе**

**Дисциплина**: Схемотехника операционных устройств

**Тема**: Анализ сбоев, вызванных метастабильностью

Вариант-5

Выполнил студент гр. 23531/5 \_\_\_\_\_\_\_\_\_\_\_\_\_И.Д. Иванов

(подпись)

Преподаватель \_\_\_\_\_\_\_\_\_\_\_\_\_А.С. Филиппов

(подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

**Цели работы**

* Понимание причин возникновения сбоев, вызванных метастабильностью, и способов привязки асинхронных сигналов в Quartus Prime.
* Получение навыков анализа метастабильности с использованием TimeQuest Timing Analyzer.

**Выполнение работы**

Для исследования метастабильности используется схема, представленная на рис.1.

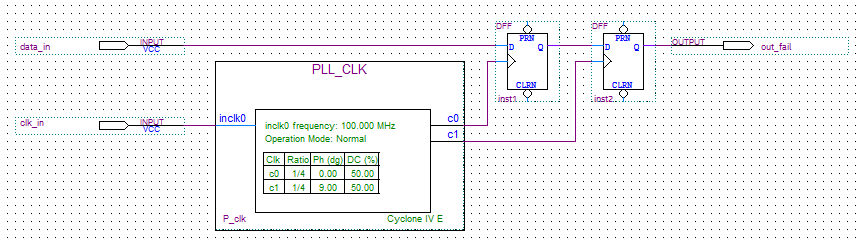


Рис. 1.

На Рис.2. можно видеть, что требования к времени установки не были выполнены.

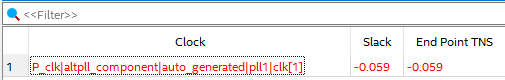


Рис. 2.

На Рис.3. показаны настройки Sdc файла.

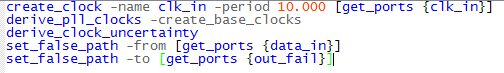


Рис. 3.

Зададим режим анализа цепей синхронизации как Forced If Asynchronous (Рис.4).

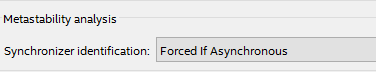


Рис. 4.

После выполнения полной компиляции проекта, видим тактовые сигналы в отчете компилятора (Рис.5).

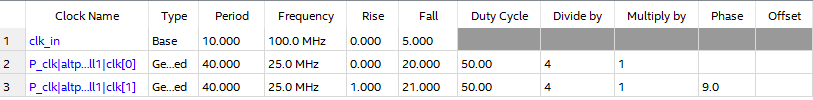


Рис. 5.

Убедимся, что заданные пути выключены из временного анализа (Рис.6).

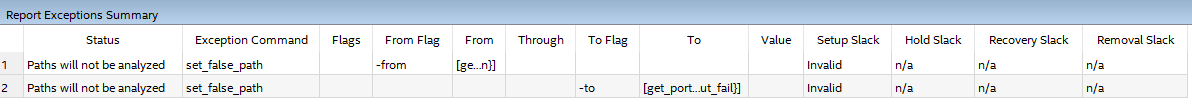


Рис. 6.

Setup Summary для Slow 1200 mV 85C Model представлено на Рис.7.

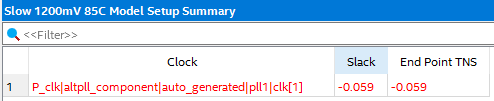


Рис. 7.

Полученный отчет для регистровой передачи от входного до выходного регистра представлен на Рис.8.

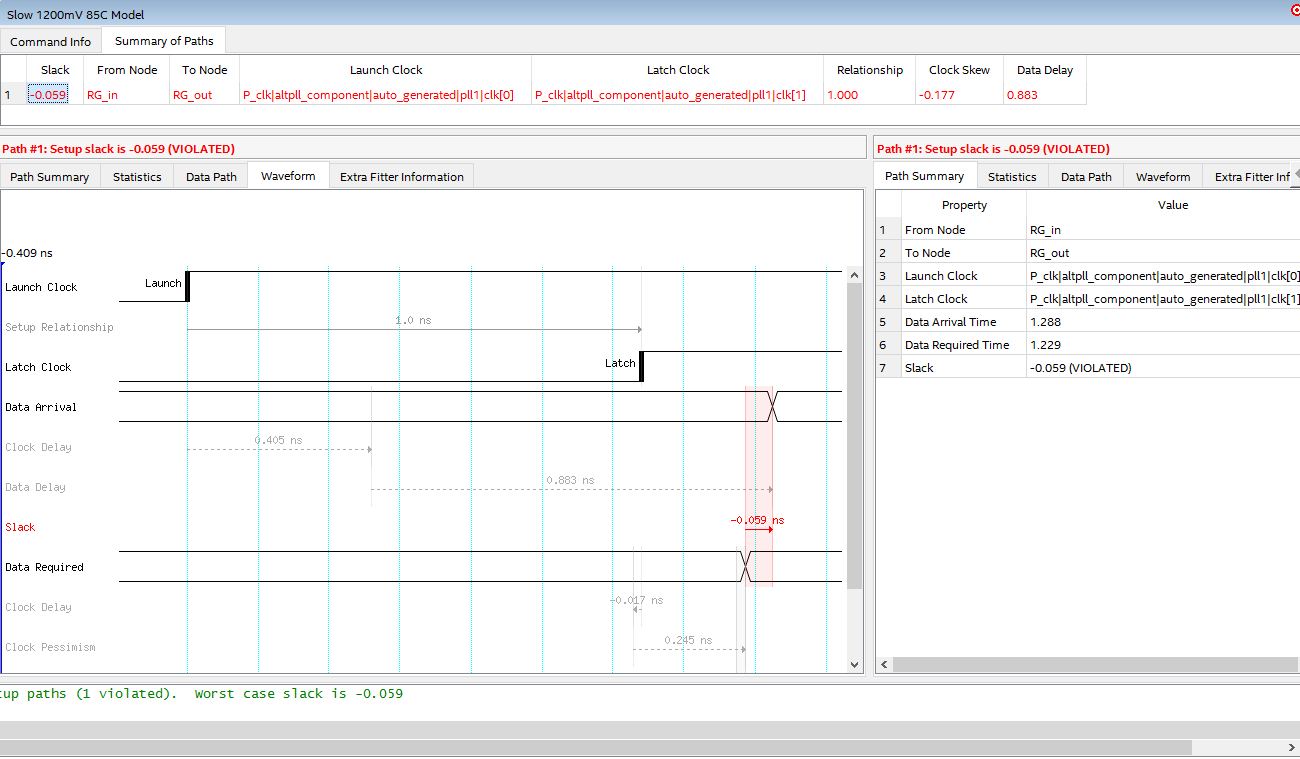


Рис. 8.

Изменим сдвиг фазы clk[1] PLL\_CLK для получения минимального положительного допуска Setup (Рис.9).

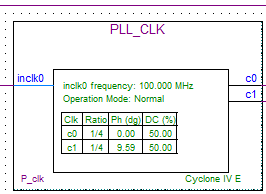
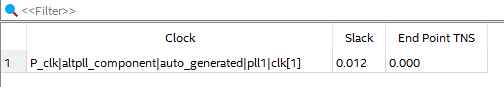


Рис. 9.

Получившийся допуск Setup представлен на Рис.10.



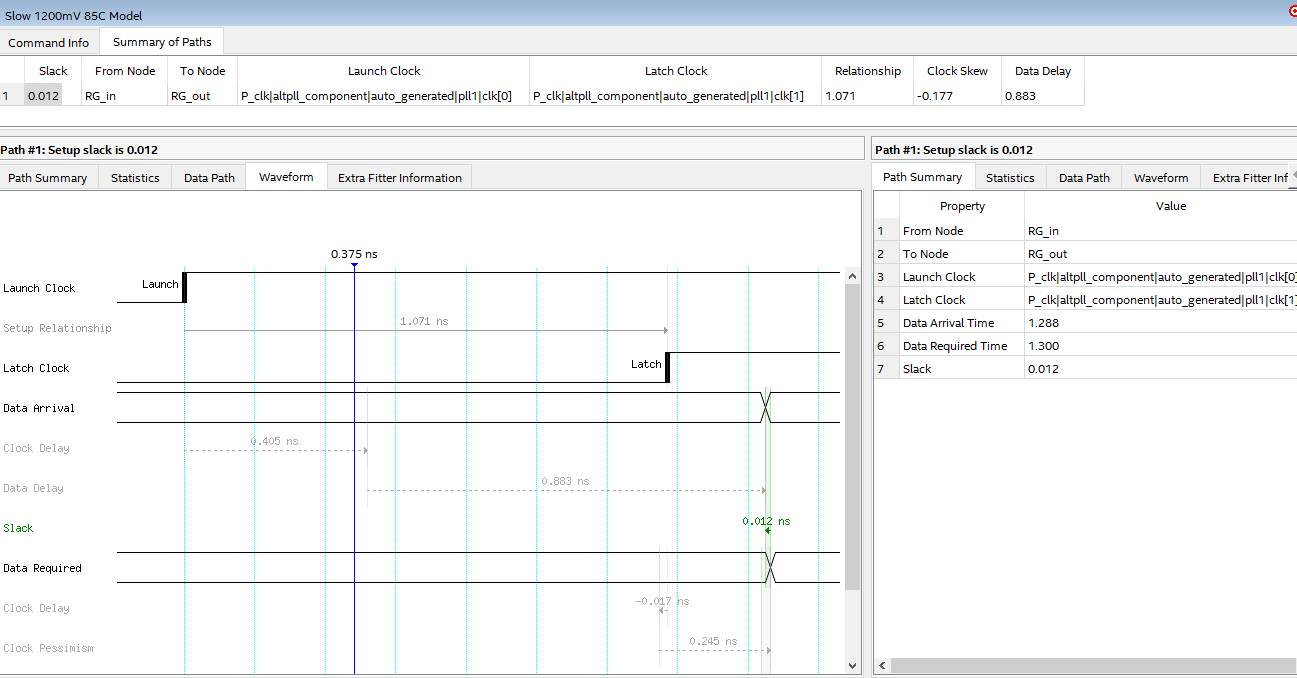


Рис. 10.

Далее был задан Synchronizer Toggle Rate для входного регистра (Рис.11).

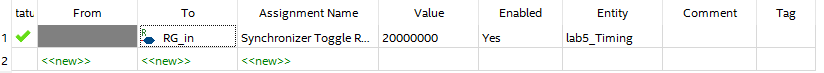


Рис. 11.

Получены данные Available Setting Time и Typical MTBF для разных сдвигов фазы (Табл.1).

Вход синхронизации выходного триггера подключили к выходу c0 PLL\_CLK (Рис.12), полученный MTBF занесен в таблицу 1.

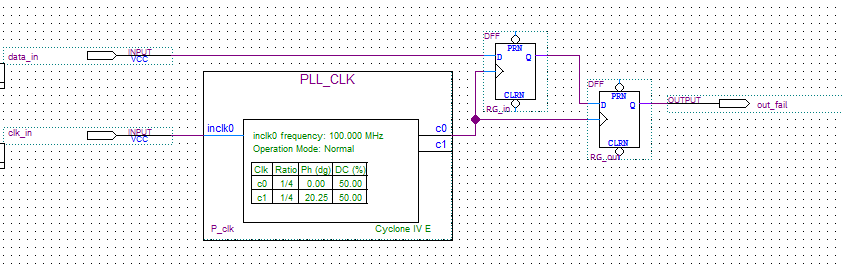


Рис. 12.

Далее установили частоту 400 МГц на выходе с0, а c1 отключили и полученный при данной схеме MTBF был зафиксирован в таблице 1 (Рис. 13).

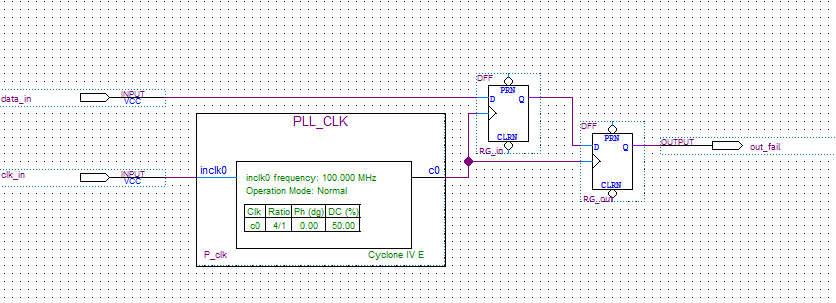


Рис. 13.

Далее была установлена цепь синхронной привязки сигналов с тремя триггерами и MTBF записан в таблицу 1 (Рис.14).

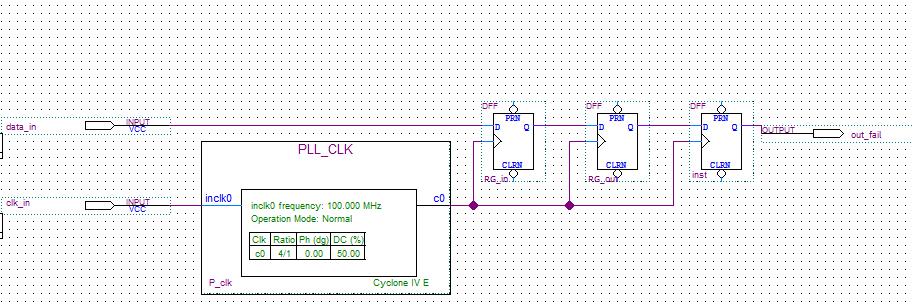


Рис. 14.

Табл.1.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| № | Сдвиг фазы/  Output  slack (deg) | Slow 85C | | Slow 0C | | Fast 0C | |
| Available Setting Time (нс.) | Typical MTBF | Available Setting Time | Typical MTBF | Available Setting Time | Typical MTBF |
| 1 | 9.59 | 0.012 | 0.0 years or 6.79e-05 seconds | 0.119 | 0.0 years or 0.000862 seconds | 0.600 | 2.51e-06 years or 79 seconds |
| 2 | 10.00 | 0.052 | 0.0 years or 0.000176 seconds. | 0.159 | 0.0 years or 0.00223 seconds | 0.640 | 6.48e-06 years or 204 seconds |
| 3 | 10.22 | 0.077 | 0.0 years or 0.000318 seconds | 0.184 | 0.0 years or 0.00404 seconds | 0.665 | 1.17e-05 years or 370 seconds |
| 4 | 11.25 | 0.191 | 0.0 years or 0.00477 seconds | 0.298 | 0.0 years or 0.0605 seconds | 0.779 | 0.000176 years or 5.55e+03 seconds |
| 5 | 12.27 | 0.304 | 0.0 years or 0.0698 seconds | 0.411 | 0.887 seconds | 0.892 | 0.00258 years or 8.12e+04 seconds |
| 6 | 13.12 | 0.399 | 0.0 years or 0.667 seconds | 0.506 | 2.69e-07 years or 8.47 seconds | 0.987 | 0.0246 years or 7.76e+05 seconds. |
| 7 | 14.06 | 0.503 | 2.5e-07 years or 7.88 seconds | 0.610 | 3.18e-06 years or 100 seconds | 1.091 | 0.291 years or 9.17e+06 seconds |
| 8 | 15.00 | 0.607 | 2.96e-06 years or 93.2 seconds | 0.714 | 3.76e-05 years or 1.18e+03 seconds | 1.195 | 3.44 years or 1.08e+08 seconds |
| 9 | 16.07 | 0.726 | 5e-05 years or 1.57e+03 seconds | 0.833 | 0.000635 years or 2e+04 seconds | 1.314 | 58.1 years or 1.83e+09 seconds |
| 10 | 16.87 | 0.816 | 0.000424 years or 1.34e+04 seconds | 0.923 | 0.00538 years or 1.7e+05 seconds | 1.404 | 493 years or 1.55e+10 seconds |
| 11 | 17.50 | 0.885 | 0.00218 years or 6.88e+04 seconds | 0.992 | 0.0277 years or 8.73e+05 seconds | 1.473 | 2.54e+03 years or 8e+10 seconds |
| 12 | 18.00 | 0.941 | 0.00826 years or 2.6e+05 seconds | 1.048 | 0.105 years or 3.3e+06 seconds | 1.529 | 9.6e+03 years or 3.03e+11 seconds |
| 13 | 18.75 | 1.024 | 0.0593 years or 1.87e+06 seconds | 1.131 | 0.753 years or 2.37e+07 seconds | 1.612 | 6.9e+04 years or 2.17e+12 seconds |
| 14 | 19.28 | 1.083 | 0.241 years or 7.58e+06 seconds | 1.190 | 3.06 years or 9.63e+07 seconds | 1.671 | 2.8e+05 years or 8.82e+12 seconds |
| 15 | 19.68 | 1.128 | 0.701 years or 2.21e+07 seconds | 1.235 | 8.9 years or 2.8e+08 seconds | 1.716 | 8.16e+05 years or 2.57e+13 seconds |
| 16 | 20.00 | 1.163 | 1.61 years or 5.07e+07 seconds | 1.270 | 20.4 years or 6.44e+08 seconds | 1.751 | 1.87e+06 years or 5.9e+13 seconds |
| 17 | 20.25 | 1.191 | 3.13 years or 9.86e+07 seconds | 1.298 | 39.8 years or 1.25e+09 seconds | 1.779 | 3.64e+06 years or 1.15e+14 seconds |
| Два синхр. триггера | | 39.040 | 1e+09 years or 3.15e+16 seconds |  |  |  |  |
| Два синхр. триггера 400МГц | | 1.539 | 761 years or 2.4e+10 seconds |  |  |  |  |
| Три синхр. триггера 400МГц | | 3.078 | 1e+09 years or 3.15e+16 seconds |  |  |  |  |

**Выводы**

Были получены навыки анализа метастабильности с использованием TimeQuest Timing Analyzer; в ходе работы была обеспечена работа проекта с различными заданными частотами, исключен из анализа путь, для которого определялась метастабильность, выполнены настройки компилятора, обеспечивающие анализ взаимодействия асинхронных тактовых доменов; проблема сбоев, вызванных метастабильностью, оказалась решенной при получении цепи синхронной привязки сигналов с двумя триггерами; при работе на высокой тактовой частоте, данная цепь была неэффективна; лучшие результаты были полученны с цепью, содержащей три триггера.